



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001042012 A

(43) Date of publication of application: 16.02.01

(51) Int. Cl

G01R 31/3183**G01R 31/28****G06F 11/22****G06F 17/50****H01L 21/82**

(21) Application number: 11215753

(22) Date of filing: 29.07.99

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: FUKUI YOSHIAKI

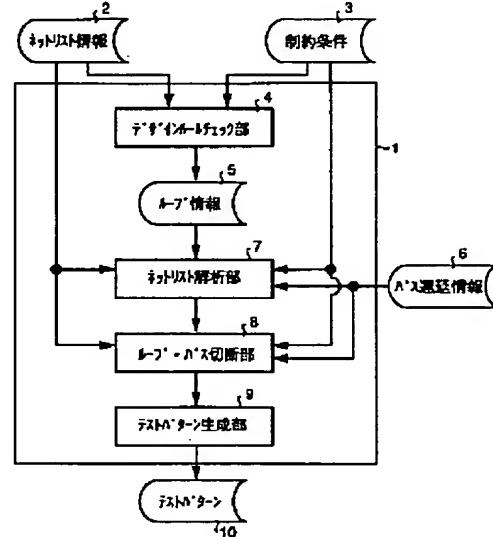
(54) **TEST PATTERN-GENERATING APPARATUS, METHOD FOR CUTTING LOOP, METHOD FOR CUTTING PROPAGATION PATH, METHOD FOR DETECTING DELAY FAILURE AND COMPUTER-READABLE RECORDING MEDIUM WITH PROGRAM RECORDED FOR MAKING COMPUTER EXECUTE THE METHOD**

(57) Abstract:

PROBLEM TO BE SOLVED: To enhance the rate of failure detection and carry out appropriate tests.

SOLUTION: A test pattern generating apparatus 1 for automatically generating a test pattern 10 to test a stuck fault of an LSI by a tester is provided with a loop path-cutting part 8 for cutting a loop part of the LSI at a point where a failure detect ratio is not decreased based on a net list information 2 and a constraint 3 of a test design rule of the LSI when the test pattern 10 is automatically generated.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-42012

(P2001-42012A)

(43)公開日 平成13年2月16日 (2001.2.16)

(51)Int.Cl.⁷
G 0 1 R 31/3183
31/28
G 0 6 F 11/22
17/50
H 0 1 L 21/82

識別記号

3 1 0

F I
G 0 1 R 31/28
G 0 6 F 11/22
G 0 1 R 31/28
G 0 6 F 15/60
Q 2 G 0 3 2
3 1 0 B 5 B 0 4 6
G 5 B 0 4 8
6 6 8 Z 5 F 0 6 4
6 7 0 J 9 A 0 0 1
テ-ヤコ-ト(参考)

審査請求 未請求 請求項の数11 O.L (全12頁) 最終頁に続く

(21)出願番号 特願平11-215753

(22)出願日 平成11年7月29日 (1999.7.29)

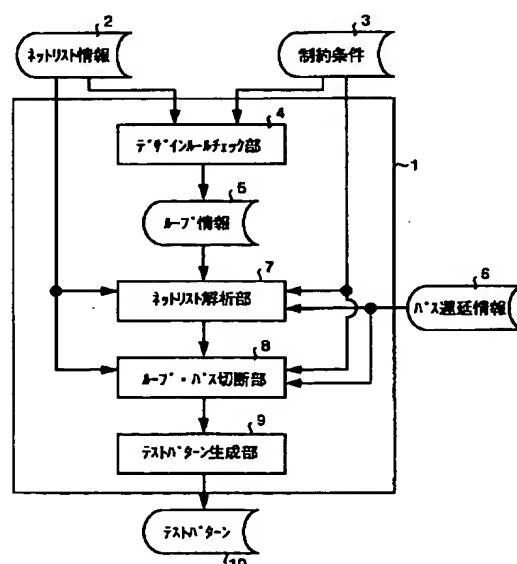
(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 福井 賢章
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(74)代理人 100089118
弁理士 酒井 宏明
Fターム(参考) 2G032 AC10 AG01 AG07
5B046 AA08 BA09 JA04
5B048 AA20 CC18 DD05
5F064 EE47 HH03 HH06 HH10 HH12
HH20
9A001 BB05 LL05

(54)【発明の名称】 テストパターン生成装置、ループ切断方法、伝播経路切断方法、遅延故障検出方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体

(57)【要約】

【課題】 故障検出率を上げ、適切なテストを行なうことができるテストパターン生成装置、ループ切断方法、伝播経路切断方法、遅延故障検出方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体を得ること。

【解決手段】 LSIの縮退故障をテストで検出するテストパターン10を自動生成するテストパターン生成装置1において、テストパターン10を自動生成する際に、LSIのネットリスト情報2およびテスト設計ルールの制約条件3に基いて、故障検出率を下げないような場所で、LSIのループ部分を切断するループ・バス切断部8を備えている。



【特許請求の範囲】

【請求項1】 集積回路の縮退故障をテスターで検出するパターンを自動生成するテストパターン生成装置において、

前記パターンを自動生成する際に、前記集積回路の回路構成情報およびテスト設計ルールの制約条件に基いて、故障検出率を下げないような場所で、前記集積回路のループ部分を切断する切断手段を具備することを特徴とするテストパターン生成装置。

【請求項2】 前記切断手段は、前記回路構成情報および制約条件に基いて、故障検出率を下げないような値に切断端を設定することを特徴とする請求項1に記載のテストパターン生成装置。

【請求項3】 集積回路の伝播経路の遅延故障をテスターで検出するパターンを自動生成するテストパターン生成装置において、

前記パターンを自動生成する際に、前記集積回路の回路構成情報、テスト設計ルールの制約条件および前記伝播経路の遅延情報に基いて、故障検出率を下げないように、テスト周期を越える遅延を持つ伝播経路を、テスト周期内に遅延が収まるように切断する切断手段を具備することを特徴とするテストパターン生成装置。

【請求項4】 前記切断手段は、前記回路構成情報、制約条件および遅延情報に基いて、故障検出率を下げないような値に切断端を設定することを特徴とする請求項3に記載のテストパターン生成装置。

【請求項5】 集積回路の伝播経路の遅延故障をテスターで検出するパターンを自動生成するテストパターン生成装置において、

前記伝播経路に対してクロックを2回以上印加し、前記伝播経路の遅延情報に応じたクロックで取り込まれた値を観測するパターンを生成する生成手段を具備することを特徴とするテストパターン生成装置。

【請求項6】 集積回路の縮退故障を検出するために集積回路のループ部分を切断するループ切断方法であって、

前記集積回路の回路構成情報およびテスト設計ルールの制約条件に基いて、故障検出率を下げないような場所で、前記集積回路のループ部分を切断する切断工程を含むことを特徴とするループ切断方法。

【請求項7】 さらに、前記回路構成情報および制約条件に基いて、故障検出率を下げないような値に切断端を設定する設定工程を含むことを特徴とする請求項6に記載のループ切断方法。

【請求項8】 集積回路の伝播経路の遅延故障をテスターで検出するために伝播経路を切断する伝播経路切断方法であって、

前記集積回路の回路構成情報、テスト設計ルールの制約条件および前記伝播経路の遅延情報に基いて、故障検出率を下げないように、テスト周期を越える遅延を持つ伝

播経路を、テスト周期内に遅延が収まるように切断する切断工程を含むことを特徴とする伝播経路切断方法。

【請求項9】 さらに、前記回路構成情報、制約条件および遅延情報に基いて、故障検出率を下げないような値に切断端を設定する設定工程を含むことを特徴とする請求項8に記載の伝播経路切断方法。

【請求項10】 集積回路の伝播経路の遅延故障を検出する遅延故障検出方法であって、前記伝播経路に対してクロックを2回以上印加する印加

工程と、前記伝播経路の遅延情報に応じたクロックで取り込まれた値を観測する観測工程と、
を含むことを特徴とする遅延故障検出方法。

【請求項11】 前記請求項6～10のいずれか一つに記載された方法をコンピュータに実行させるプログラムを記録したことを特徴とするコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】 本発明は、LSI開発時に使用されるテストパターン生成装置、ループ切断方法、伝播経路切断方法、遅延故障検出方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体に関し、特に、スキャンテスト手法により縮退故障または遅延故障を検出するためのテストパターン生成装置、ループ切断方法、伝播経路切断方法、遅延故障検出方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体に関するものである。

【0002】

【従来の技術】 近年、LSIの高信頼化を効果的に実現するために、テスト容易化設計が行なわれ、スキャンテスト手法により、テストパターン自動生成ツール(ATPGツール)を用いて縮退故障および遅延故障の検出が行なわれている。LSIの縮退故障を検出する場合、テスト対象のLSI中にループ部分があるときは、このループを切断する必要がある。また、遅延故障を検出する場合には、実動作周波数(at-speed)のクロック信号を用いてテストすることが求められる。

40 【0003】 ところで、従来のテストパターン生成装置として、自動的にループを切断し、また、at-speedのクロック信号を用いてテストを行なうATPGツールがある。まず、縮退故障検出の際に用いる従来のATPGツールのループ切断方法について説明する。図12は、従来のLSI内に存在するループ部分の一例を示す回路図であり、図13は、従来のLSI内に存在するループの切断方法を説明するための説明図である。

【0004】 たとえば、テスト対象のLSI中に、図12に示すような、2入力のAND素子51と、2入力のOR素子52と、入力端子53、56と、出力端子5

4, 55と、を備えたループ回路が存在しているとする。縮退故障の検出を行なう場合、入力端子53または入力端子56は、テスト設計ルールを満足させるための条件が記述された制約条件により、“0”または“1”の値(0, 1の論理の値)に固定される。従来のATPGツールは、入力端子53の値が“0”固定されているか、あるいは、入力端子56の値が“1”に固定されているかに関わらず、切断場所を決定してループの切断を行い、切断後の切断端57における値を“X(0または1)”に固定している。

【0005】つぎに、従来のat-speedのクロック信号を用いた遅延故障検出方法について説明する。図14は、従来の遅延故障を検出するためのスキャンテスト回路の一例を示す説明図である。たとえば、図14に示すような、スキャンフリップフロップ(SFF)61, 62と、インバータ素子63, 64と、AND素子65と、OR素子66, 67と、を備えたスキャンテスト回路において遅延故障の検出を行なうとする。SFF61のQ端子からインバータ素子63, AND素子65, OR素子66を通過してSFF62のD端子までの伝播経路(パス)は、テスト対象となる組み合わせ回路である。

【0006】図15は、従来のスキャンテスト回路の遅延故障検出時における動作を示すタイミングチャートである。従来のスキャンテスト回路の遅延故障検出時における動作では、at-speedのシステムクロック

(スキャンクロック)が用いられ、SFF61, 62の図示しないスキャンイネーブル端子(SM端子)のデータ変化74により、スキャン動作からシステム動作へ切り替わる。図15中、71はスキャン動作の周期、72, 73は、スキャン動作からシステム動作へ切り替わった周期(N-1周期, N周期)となる。at-speedのテスト周期幅でSFF61に設定されたデータが、テスト対象の組み合わせ回路を通ってSFF62に伝播し、周期73で正しくデータが取り込まれているか否かを確認することにより、遅延故障を検出している。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の技術によれば、縮退故障の検出を行なう場合、入力端子53の値が“0”固定されているか、あるいは、入力端子56の値が“1”に固定されているかに関わらず、切断場所を決定してループの切断を行い、切断端57における値を“X”に固定するため、必ずしも故障検出率が上がるような最適な場所で切断するとは限らず、故障検出率が下がるような場所で切断する場合があり、適切なテストを行なうことができないという問題点があった。

【0008】また、遅延故障の検出を行なう場合、at-speedのクロックを用いてテストを行なうため、遅延がat-speedのテスト周期を越えるパスにつ

いては、遅延故障の検出ができず、故障検出率が下がり、適切なテストを行なうことができないという問題点があった。ここで、at-speedのテスト周期でSFF間をデータが伝播できるように、人手でパスを切断してフリップフロップ(FF)またはDラッチ(Latch)を挿入することが考えられるが、この場合も、必ずしも故障検出率が上がるような適切な場所で切断されることは限らず、また、切断しなければならないパスの数が膨大となるため、人手によるパスの適切な切断は事実上不可能であった。

【0009】本発明は、上記に鑑みてなされたものであって、故障検出率を上げ、適切なテストを行なうことができるテストパターン生成装置、ループ切断方法、伝播経路切断方法、遅延故障検出方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体を得ることを目的とする。

【0010】

【課題を解決するための手段】上述した課題を解決し、目的を達成するために、本発明にかかるテストパターン生成装置にあっては、集積回路の縮退故障をテストで検出するパターンを自動生成するテストパターン生成装置において、前記パターンを自動生成する際に、前記集積回路の回路構成情報およびテスト設計ルールの制約条件に基いて、故障検出率を下げないような場所で、前記集積回路のループ部分を切断する切断手段を具備することを特徴とする。

【0011】この発明によれば、切断手段が、回路構成情報および制約条件に基いて、故障検出率を下げないように、集積回路のループ部分を最適な場所で自動的に切断する。これにより、ループを切断する場所を最適化することができる。

【0012】つぎの発明にかかるテストパターン生成装置にあっては、前記切断手段が、前記回路構成情報および制約条件に基いて、故障検出率を下げないような値に切断端を設定することを特徴とする。

【0013】この発明によれば、切断手段が、回路構成情報および制約条件に基いて、故障検出率を下げないような値に切断端を自動的に設定する。これにより、ループを切断する場所を最適化すると共に、切断する値も最適化することができる。

【0014】つぎの発明にかかるテストパターン生成装置にあっては、集積回路の伝播経路の遅延故障をテストで検出するパターンを自動生成するテストパターン生成装置において、前記パターンを自動生成する際に、前記集積回路の回路構成情報、テスト設計ルールの制約条件および前記伝播経路の遅延情報を基いて、故障検出率を下げないように、テスト周期を越える遅延を持つ伝播経路を、テスト周期内に遅延が収まるように切断する切断手段を具備することを特徴とする。

【0015】この発明によれば、切断手段が、回路構成

情報、制約条件および遅延情報に基いて、故障検出率を下げないように、テスト周期を越える遅延を持つ伝播経路を、テスト周期内に収まるような最適な場所で自動的に切断する。これにより、伝播経路を切断する場所を最適化し、実動作周波数のテスト周期を越える遅延を持つ伝播経路の遅延故障検出が可能となる。

【0016】つぎの発明にかかるテストパターン生成装置にあっては、前記切断手段が、前記回路構成情報、制約条件および遅延情報に基いて、故障検出率を下げないような値に切断端を設定することを特徴とする。

【0017】この発明によれば、切断手段が、回路構成情報、制約条件および遅延情報に基いて、故障検出率を下げないような値に切断端を自動的に設定する。これにより、伝播経路を切断する場所を最適化すると共に、切断する値も最適化することができる。

【0018】つぎの発明にかかるテストパターン生成装置にあっては、集積回路の伝播経路の遅延故障をテストで検出するパターンを自動生成するテストパターン生成装置において、前記伝播経路に対してデータ取り込みクロックを2回以上印加し、前記伝播経路の遅延情報に応じたデータ取り込みクロックで取り込まれた値を観測するパターンを生成する生成手段を具備することを特徴とする。

【0019】この発明によれば、生成手段が、伝播経路に対してクロックを2回以上印加し、伝播経路の遅延情報に応じたクロックで取り込まれた値を観測するパターンを生成する。これにより、伝播経路を切断することなしに、換言すれば、回路構成を変更することなしに、実動作周波数のテスト周期を越える遅延を持つ伝播経路の遅延故障検出が可能となる。

【0020】つぎの発明にかかるループ切断方法にあっては、集積回路の縮退故障を検出するために集積回路のループ部分を切断するループ切断方法であって、前記集積回路の回路構成情報およびテスト設計ルールの制約条件に基いて、故障検出率を下げないような場所で、前記集積回路のループ部分を切断する切断工程を含むことを特徴とする。

【0021】この発明によれば、切断工程で、回路構成情報および制約条件に基いて、故障検出率を下げないように、集積回路のループ部分を最適な場所で自動的に切断する。これにより、スキャンテスト手法を用いた縮退故障の検出において、テストパターンを自動生成する際に、ループを切断する場所を最適化することができる。

【0022】つぎの発明にかかるループ切断方法にあっては、さらに、前記回路構成情報および制約条件に基いて、故障検出率を下げないような値に切断端を設定する設定工程を含むことを特徴とする。

【0023】この発明によれば、設定工程で、回路構成情報および制約条件に基いて、故障検出率を下げないような値に切断端を自動的に設定する。これにより、スキ

ヤンテスト手法を用いた縮退故障の検出において、テストパターンを自動生成する際に、ループを切断する場所を最適化すると共に、切断する値も最適化することができる。

【0024】つぎの発明にかかる伝播経路切断方法にあっては、集積回路の伝播経路の遅延故障をテストで検出するために伝播経路を切断する伝播経路切断方法であって、前記集積回路の回路構成情報、テスト設計ルールの制約条件および前記伝播経路の遅延情報に基いて、故障検出率を下げないように、テスト周期を越える遅延を持つ伝播経路を、テスト周期内に収まるように切断する切断工程を含むことを特徴とする。

【0025】この発明によれば、切断工程で、回路構成情報、制約条件および遅延情報に基いて、故障検出率を下げないように、テスト周期を越える遅延を持つ伝播経路を、テスト周期内に収まるような最適な場所で自動的に切断する。これにより、スキャンテスト手法を用いた遅延故障の検出において、テストパターンを自動生成する際に、伝播経路を切断する場所を最適化し、実動作周波数のテスト周期を越える遅延を持つ伝播経路の遅延故障検出が可能となる。

【0026】つぎの発明にかかる伝播経路切断方法にあっては、さらに、前記回路構成情報、制約条件および遅延情報に基いて、故障検出率を下げないような値に切断端を設定する設定工程を含むことを特徴とする。

【0027】この発明によれば、設定工程で、回路構成情報、制約条件および遅延情報に基いて、故障検出率を下げないような値に切断端を自動的に設定する。これにより、スキャンテスト手法を用いた遅延故障の検出において、テストパターンを自動生成する際に、伝播経路を切断する場所を最適化すると共に、切断する値も最適化することができる。

【0028】つぎの発明にかかる遅延故障検出方法にあっては、集積回路の伝播経路の遅延故障を検出する遅延故障検出方法であって、前記伝播経路に対してクロックを2回以上印加する印加工程と、前記伝播経路の遅延情報に応じたクロックで取り込まれた値を観測する観測工程と、を含むことを特徴とする。

【0029】この発明によれば、印加工程で、伝播経路40に対してデータ取り込みクロックを2回以上印加し、観測工程で、伝播経路の遅延情報に応じたデータ取り込みクロックで取り込まれた値を観測する。これにより、伝播経路を切断することなしに、換言すれば、回路構成を変更することなしに、実動作周波数のテスト周期を越える遅延を持つ伝播経路の遅延故障検出が可能となる。

【0030】つぎの発明にかかるコンピュータ読み取り可能な記録媒体にあっては、前述した発明にかかる方法をコンピュータに実行させるプログラムを記録したことを特徴とする。

【0031】この発明によれば、前述した発明にかかる

方法をコンピュータに実行させるプログラムを記録している。これにより、コンピュータに、前述した発明にかかる方法を実行させることができる。

【0032】

【発明の実施の形態】以下、本発明にかかるテストパターン生成装置、ループ切断方法、伝播経路切断方法、遅延故障検出方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体の実施の形態を、図面に基づいて詳細に説明する。なお、この実施の形態により、この発明が限定されるものではない。

【0033】実施の形態1. 図1は、本発明の実施の形態1にかかるテストパターン生成装置の概略構成を示す説明図である。テストパターン生成装置1は、テストにおけるデザインルール（テスト設計ルール）をチェックするデザインルールチェック部4と、ネットリスト（回路構成）の解析（ネットリスト解析）を行なうネットリスト解析部7と、テスト対象である図示しないLSI内に存在するループおよび伝播経路（パス）の切断を行なうループ・パス切断部8と、スキャンテスト手法による縮退故障検出および遅延故障検出のためのテストパターン10を生成するテストパターン生成部9と、を備えている。

【0034】デザインルールチェック部4は、テスト対象である図示しないLSIの回路構成情報（ネットリスト情報）2と、テスト設計ルールを満足させるための条件が記述された制約条件3と、を入力する。そして、LSIの回路構成がテスト設計ルールに違反しているか否かのチェックを行ない、テスト設計ルールに違反することとなるループ箇所（ループ部分）を検出し、LSI内に存在するループ箇所の情報であるループ情報5を生成する。

【0035】ネットリスト解析部7は、ネットリスト情報2、制約条件3、ループ情報5、および、図示しない静的タイミング検証ツールにより生成されたパス遅延情報6を読み込み、これらに基いて、ネットリストの解析を行なう。ループ・パス切断部8は、ネットリスト情報2、制約条件3、パス遅延情報6およびネットリスト解析部7で解析された情報を基に、LSI内のループおよびパスの切断を行なう。なお、デザインルールチェック部4、ネットリスト解析部7およびループ・パス切断部8は、本発明の切断手段に対応する。

【0036】以上の構成において、実施の形態1の動作について、（1）縮退故障検出時におけるループ切断動作、（2）遅延故障検出時におけるパス切断動作の順に、図2～9を参照して説明する。

【0037】（1）縮退故障検出時におけるループ切断動作

図2は、実施の形態1にかかるループ切断動作の流れを示すフローチャートである。実施の形態1にかかるル

プ切断動作においては、まず、デザインルールチェック部4が、ネットリスト情報2および制約条件3を読み込み、テスト設計ルールに違反しているループ箇所を検出し、ループ情報5を出力する（S1）。つぎに、ネットリスト解析部7が、ネットリスト情報2、ループ情報5、制約条件3を基に、ループを切断すべき箇所を検出する（S2）。

【0038】続いて、ループ・パス切断部8が、ネットリスト解析部7で解析された情報を基に、全てのループを切断すべき箇所に対して、仮想的にAND素子またはOR素子を挿入し、ループが論理的に切断できる箇所を探し出す（S3）。そして、最も高い故障検出率を得られる場所でループを切断し、また、最も高い故障検出率を得られる切断端の値（論理の0、1の値）を設定する（S4）。最後に、テストパターン生成部9がテストパターン10を生成する（S5）。

【0039】図3は、実施の形態1にかかるLSI内に存在するループ部分の一例を示す説明図であり、図4は、実施の形態1にかかる切断されたループの一例を示す説明図であり、図5は、実施の形態1にかかる切断されたループの他の例を示す説明図である。たとえば、テスト対象である図示しないLSI内に、図3に示すような、2入力のAND素子11と、2入力のOR素子12と、入力端子13、16と、出力端子14、15と、を備えたループ回路が存在しているとする。この場合は、位置17または18で切断することが考えられる。

【0040】制約条件3により入力端子13の値が“0”に固定されている場合、ループ・パス切断部8は、最も高い故障検出率を得られる場所である位置17でループを切断して展開する。切断した箇所には、図4に示すように、仮想的にOR素子18を挿入し、OR素子12の出力値（出力信号）が伝播してこないように、OR素子18の片方の入力端子における値を“1”に固定する。すなわち、最も高い故障検出率を得られる値に切断端を固定する。このように、制約条件3に応じて、ループを切断するために切る場所を最適化すると共に、切断する時の値を最適化する。これにより、入力端子16から出力端子14の“0”，“1”の縮退故障が発見可能となる。

【0041】一方、制約条件3により入力端子16の値が“1”に固定されている場合は、最も高い故障検出率を得られる場所である位置18でループを切断して展開する。切断した箇所には、図5に示すように、仮想的にAND素子19を挿入し、AND素子11の出力値が伝播してこないように、AND素子19の片方の入力端子における値を“0”に固定する。すなわち、最も高い故障検出率を得られる値に切断端を固定する。このように、制約条件3に応じて、ループを切断するために切る場所を最適化すると共に、切断する時の値を最適化する。これにより、入力端子13から出力端子15の

“0”，“1”の縮退故障が発見可能となる。

【0042】すなわち、制約条件3に応じて、ループを切断するために切る場所を最適化すると共に、切断する時の値を最適化することにより、LSI内の信号線の状態を、外部ピン（入力）を使用して簡単に設定しやすくなり、また、外部ピン（出力）を使用して簡単にモニタできるようになる。

【0043】(2) 遅延故障検出時におけるバス切断動作

図6は、実施の形態1にかかるバス切断動作の流れを示すフローチャートである。実施の形態1にかかるバス切断動作においては、まず、デザインルールチェック部4が、ネットリスト情報2および制約条件3を読み込み、テスト設計ルールに違反している箇所を検出する(S11)。つぎに、静的タイミング検証ツールによる実動作周波数(at-speed)でのタイミングチェック結果により、at-speedテスト周期(at-speedのテスト周期)以上の遅延を持つバスが抽出され、バスの遅延に関するバス遅延情報6が生成される(S12)。

【0044】続いて、ネットリスト解析部7が、ネットリスト情報2、バス遅延情報6、制約条件3を読み込んで、at-speedテスト周期以上の遅延を持つバスをat-speedテスト違反情報として検出し、検出したat-speedテスト違反情報に関するメッセージ表示とリスト出力を行なう(S13)。ループ・バス切断部8は、ネットリスト情報2、バス遅延情報6、制約条件3を基に、スキャンフリップフロップ(SFF)間の組み合わせ回路をat-speedテスト周期内に信号が伝播できるように、SFF間のバスを切断し、後述するテスト回路を挿入する(S14)。ここで、テスト回路を挿入する位置は、バス遅延情報6を基に、挿入したテスト回路の前後のバスにおける遅延が均等になるように制御される。最後に、テストパターン生成部9がテストパターン10を生成する(S15)。

【0045】図7は、実施の形態1にかかるLSI内に存在するバスの一例を示す説明図であり、図8は、実施の形態1にかかる切断されたバスの一例を示す説明図であり、図9は、実施の形態1にかかる切断されたバスの他の例を示す説明図である。たとえば、テスト対象である図示しないLSI内に、図7に示すような、SFF20、27と、AND素子21、25、OR素子22、24、NAND素子23およびインバータ素子26からなる14nsの遅延を持つバスと、at-speedテスト周期として10ns周期のクロックが入力されるクロック端子28が存在しているとする。

【0046】この場合、ループ・バス切断部8は、バスの遅延がテスト周期内に収まるように、SFF20のD端子から積算して8nsの遅延値となる位置でバスを切断し、図8に示すように、テスト回路31を挿入する。

これにより、テスト回路31の前後のバスにおける遅延がそれぞれ8nsとなる。テスト回路31は、フリップフロップ(FF)29およびセレクタ30からなり、スキャン動作とシステム動作の切り替えを行なうモード切り替え端子(テストモード端子)32により制御される。

【0047】テスト回路31の動作は、スキャンテスト用のテストモード端子32が“0”的場合(システム動作時)、FF29に前段のNAND素子23の出力値

10 (出力信号)を通さずに、バイパスさせてOR素子24に伝播させる。テストモード端子32が“1”的場合(スキャン動作時)は、FF29がNAND素子23の出力値を取り込めるようになる。システム動作、スキャン動作の制御は、テストパターン生成装置1が、テストモード端子32を使用して自動的に行なう。

【0048】また、テスト回路31に代えて、図9に示すように、Latch34、35からなるテスト回路36を用いてもよい。Latch34、35は、イネーブル端子(EB端子)37、38により、データ通過動作、データ保持動作の切り替え制御が行なわれる。EB端子37およびEB端子38が“1”である場合、EB端子37、38は、データを通過させるデータ通過動作の状態となり、前段のNAND素子23の出力値を通過させる。一方、EB端子37が“1”で、EB端子38が“0”である場合は、データを保持するデータ保持動作の状態となり、NAND素子23の出力値を保持する動作を行なう。この場合も、システム動作、スキャン動作の制御は、テストパターン生成装置1が、EB端子37、38を使用して自動的に行なう。

20 【0049】前述したように、実施の形態1によれば、縮退故障検出時におけるループ切断動作において、ループを切断するために切る場所を最適化すると共に、切断する値を最適化する処理を繰り返すため、最もコントローラビリティ(可制御性)およびオブザーバビリティ(可観測性)の高い結果が得られる場所、すなわち、故障検出率の高い場所を選定することが可能となり、適切なテストの実行が可能となる。

【0050】また、遅延故障検出時におけるバス切断動作において、at-speedテスト周期以上の遅延を持つバスに対して、最適な場所でバスを切断すると共に、切断した部分の動作を外部端子で制御できるように回路変更するため、at-speedテスト周期以上の遅延を持つバスをat-speedでテストすることが可能となり、適切なテストの実行が可能となる。

40 【0051】実施の形態2、図10は、本発明の実施の形態2にかかるテストパターン生成装置の概略構成を示す説明図である。実施の形態2にかかるテストパターン生成装置39は、バス遅延情報6を入力し、テスト対象である図示しないLSI内の各バスの遅延量に応じたパターン41を生成するテストパターン生成部40を備え

50

ている。テストパターン生成部40が生成したパターン41により、LSIの遅延故障検出が行なわれる。LSI内のバスは、たとえば、図7に示したバスと同様の構成をもっている。なお、テストパターン生成部40は、本発明の生成手段に対応する。

【0052】以上の構成において、実施の形態2の動作について、タイミングチャートを参照して説明する。図11は、実施の形態2にかかる遅延故障検出動作を示すタイミングチャートである。実施の形態2にかかる遅延故障検出動作においては、テスト対象である図示しないLSIのシステムクロック（スキャンクロック）端子に、at-speedのクロックが入力される。スキャン動作とシステム動作との切り替えを行なうLSIのモード切り替え端子（イネーブル端子）に、スキャン動作からシステム動作へ切り替えるデータ変化45があったとき、テストパターン生成部40は、LSIに対して、データ取り込み周期のクロック42、43、44を入力する。

【0053】すなわち、データ変化45の後、外部入力端子（プライマリインプット端子）がI/Oモードの間に、データ取り込み周期のクロックを3回入力する。クロック42は、図7の例では、LSI内のSFF20に対し、遅延故障を検出するために組み合わせ回路に伝播させる値をセットするクロックであり、クロック43、44は、組み合わせ回路を伝播してきた値が、テスト周期内でSFF27に伝播してきたか否かを確認するキャプチャクロックである。

【0054】テストパターン生成部40は、at-speedテスト（at-speedのクロックを用いたテスト）時、バス遅延情報6を基に、at-speedテスト周期以内の遅延を持つバス用、および、at-speedテスト周期以上の遅延を持つバス用のパターンを生成する。これにより、at-speedテスト周期以内の遅延を持つバスにおいては、クロック42、43を使用してat-speedテストが行なわれる。すなわち、データ取り込みクロック43の周期において、時刻50aのタイミングで、LSIの外部出力端子A（プライマリアウトプット端子A、スキャンアウト端子を含む）の値の観測が行なわれる（図中の46）。そして、データ取り込みクロック44で取り込まれた値については、マスク（Don't care）処理が行なわれ、外部出力端子Aの値の観測は行なわれない（図中の47）。

【0055】一方、at-speedテスト周期以上の遅延を持つバスにおいては、クロック43、44を使用してat-speedテストが行なわれる。すなわち、データ取り込みクロック44の周期において、時刻50bのタイミングで、LSIの外部出力端子B（プライマリアウトプット端子B、スキャンアウト端子を含む）の値の観測が行なわれる（図中の49）。そして、データ

取り込みクロック43で取り込まれた値については、マスク（Don't care）処理が行なわれ、外部出力端子Bの値の観測は行なわれない（図中の48）。

【0056】前述したように、実施の形態2によれば、at-speedのテスト周期以上の遅延を持つバスに對しても、キャプチャクロックを続けて2回以上入れることで、バスを切断することなしに、換言すれば、回路構成を変更することなしに、遅延故障検出が可能となるため、故障検出率を上げ、適切なテストを行なうことができ、また、切断が適切かどうかの検証が不要となり、テスト時間を短縮することができる。

【0057】

【発明の効果】以上説明したとおり、この発明によれば、切断手段が、回路構成情報および制約条件に基いて、故障検出率を下げないように、集積回路のループ部分を最適な場所で自動的に切断する。これにより、ループを切断する場所を最適化することができるため、故障検出率を上げ、適切なテストを行なうことができる、という効果を奏する。

【0058】つぎの発明によれば、切断手段が、回路構成情報および制約条件に基いて、故障検出率を下げないように切断端を自動的に設定する。これにより、ループを切断する場所を最適化すると共に、切断する値も最適化することができるため、より故障検出率を上げ、適切なテストを行なうことができる、という効果を奏する。

【0059】つぎの発明によれば、切断手段が、回路構成情報、制約条件および遅延情報に基いて、故障検出率を下げないように、テスト周期を越える遅延を持つ伝播経路を、テスト周期内に収まるような最適な場所で自動的に切断する。これにより、伝播経路を切断する場所を最適化し、実動作周波数のテスト周期を越える遅延を持つ伝播経路の遅延故障検出が可能となるため、故障検出率を上げ、適切なテストを行なうことができる、という効果を奏する。

【0060】つぎの発明によれば、切断手段が、回路構成情報、制約条件および遅延情報に基いて、故障検出率を下げないように値に切断端を自動的に設定する。これにより、伝播経路を切断する場所を最適化すると共に、切断する値も最適化することができるため、より故障検出率を上げ、適切なテストを行なうことができる、という効果を奏する。

【0061】つぎの発明によれば、生成手段が、伝播経路に対してデータ取り込みクロックを2回以上印加し、伝播経路の遅延情報に応じたデータ取り込みクロックで取り込まれた値を観測するパターンを生成する。これにより、伝播経路を切断することなしに、換言すれば、回路構成を変更することなしに、実動作周波数のテスト周期を越える遅延を持つ伝播経路の遅延故障検出が可能となるため、故障検出率を上げ、適切なテストを行なうこ

とができ、また、切断が適切かどうかの検証が不要となり、テスト時間を短縮することができる、という効果を奏する。

【0062】 つぎの発明によれば、切断工程で、回路構成情報および制約条件に基いて、故障検出率を下げないように、集積回路のループ部分を最適な場所で自動的に切断する。これにより、スキャンテスト手法を用いた縮退故障の検出において、テストパターンを自動生成する際に、ループを切断する場所を最適化することができるため、故障検出率を上げ、適切なテストを行なうことができる、という効果を奏する。

【0063】 つぎの発明によれば、設定工程で、回路構成情報および制約条件に基いて、故障検出率を下げないような値に切断端を自動的に設定する。これにより、スキャンテスト手法を用いた縮退故障の検出において、テストパターンを自動生成する際に、ループを切断する場所を最適化すると共に、切断する値も最適化することができるため、より故障検出率を上げ、適切なテストを行なうことができる、という効果を奏する。

【0064】 つぎの発明によれば、切断工程で、回路構成情報、制約条件および遅延情報に基いて、故障検出率を下げないように、テスト周期を越える遅延を持つ伝播経路を、テスト周期内に収まるような最適な場所で自動的に切断する。これにより、スキャンテスト手法を用いた遅延故障の検出において、テストパターンを自動生成する際に、伝播経路を切断する場所を最適化し、実動作周波数のテスト周期を越える遅延を持つ伝播経路の遅延故障検出が可能となるため、故障検出率を上げ、適切なテストを行なうことができる、という効果を奏する。

【0065】 つぎの発明によれば、設定工程で、回路構成情報、制約条件および遅延情報に基いて、故障検出率を下げないような値に切断端を自動的に設定する。これにより、スキャンテスト手法を用いた遅延故障の検出において、テストパターンを自動生成する際に、伝播経路を切断する場所を最適化すると共に、切断する値も最適化することができるため、より故障検出率を上げ、適切なテストを行なうことができる、という効果を奏する。

【0066】 つぎの発明によれば、印加工程で、伝播経路に対してデータ取り込みクロックを2回以上印加し、観測工程で、伝播経路の遅延情報を応じたデータ取り込みクロックで取り込まれた値を観測する。これにより、伝播経路を切断することなしに、換言すれば、回路構成を変更することなしに、実動作周波数のテスト周期を越える遅延を持つ伝播経路の遅延故障検出が可能となるため、故障検出率を上げ、適切なテストを行なうことができ、また、切断が適切かどうかの検証が不要となり、テスト時間を短縮することができる、という効果を奏する。

【0067】 つぎの発明によれば、前述した発明にかか

る方法をコンピュータに実行させるプログラムを記録している。これにより、コンピュータに、前述した発明にかかる方法を実行させることができるために、故障検出率を上げ、適切なテストを行なうことができる、という効果を奏する。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかるテストパターン生成装置の概略構成を示す説明図である。

【図2】 実施の形態1にかかるループ切断動作の流れを示すフローチャートである。

【図3】 実施の形態1にかかるLSI内に存在するループ部分の一例を示す説明図である。

【図4】 実施の形態1にかかる切断されたループの一例を示す説明図である。

【図5】 実施の形態1にかかる切断されたループの他の例を示す説明図である。

【図6】 実施の形態1にかかるバス切断動作の流れを示すフローチャートである。

【図7】 実施の形態1にかかるLSI内に存在するバスの一例を示す説明図である。

【図8】 実施の形態1にかかる切断されたバスの一例を示す説明図である。

【図9】 実施の形態1にかかる切断されたバスの他の例を示す説明図である。

【図10】 本発明の実施の形態2にかかるテストパターン生成装置の概略構成を示す説明図である。

【図11】 実施の形態2にかかる遅延故障検出動作を示すタイミングチャートである。

【図12】 従来のLSI内に存在するループ部分の一例を示す回路図である。

【図13】 従来のLSI内に存在するループの切断方法を説明するための説明図である。

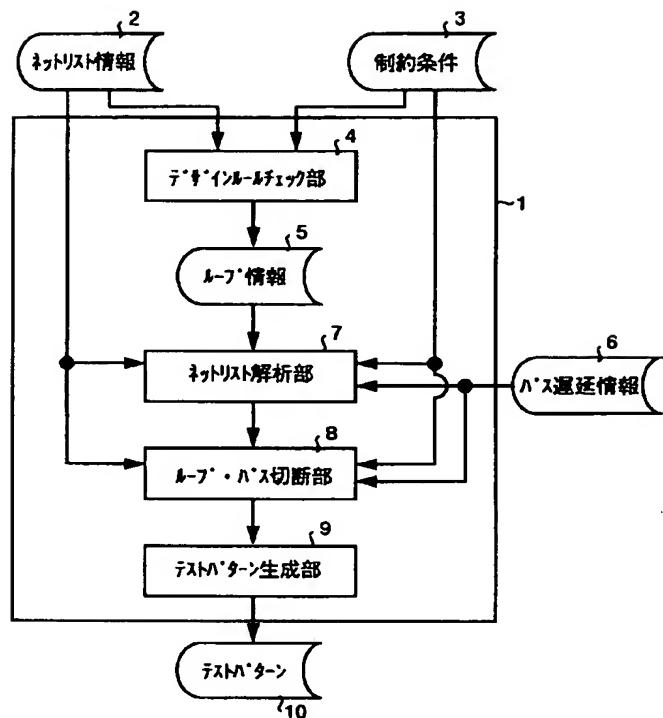
【図14】 従来の遅延故障を検出するためのスキャンテスト回路の一例を示す説明図である。

【図15】 従来のスキャンテスト回路の遅延故障検出時における動作を示すタイミングチャートである。

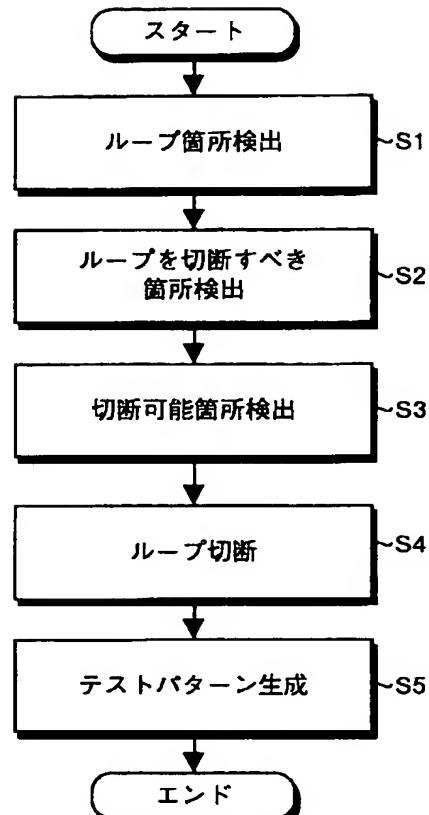
【符号の説明】

1, 39 テストパターン生成装置、2 ネットリスト情報、3 制約条件、4 デザインルールチェック部、40 5 ループ情報、6 パス遅延情報、7 ネットリスト解析部、8 ループ・バス切断部、9, 40 テストパターン生成部、10 テストパターン、11, 21, 25 AND素子、12, 22, 24 OR素子、13, 16 入力端子、14, 15 出力端子、20, 27 スキャンフリップフロップ、23 NAND素子、26 インバータ素子、28 クロック端子、29 フリップフロップ、30 セレクタ、31, 36 テスト回路、32 テストモード端子、34, 35 Latch、37, 38 イネーブル端子、41 パターン。

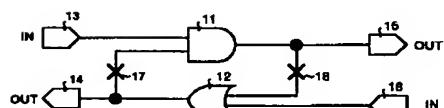
【図1】



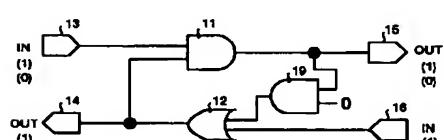
【図2】



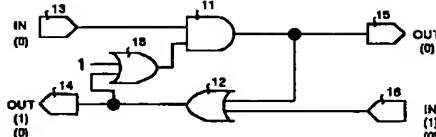
【図3】



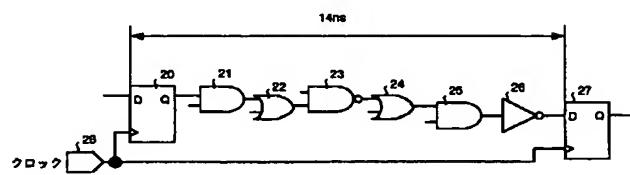
【図5】



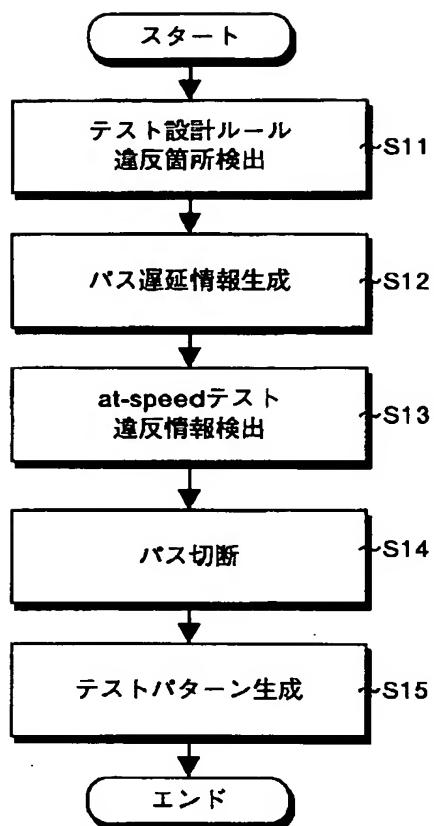
【図4】



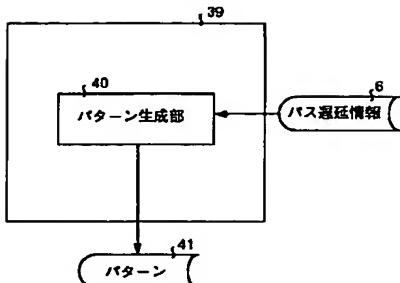
【図7】



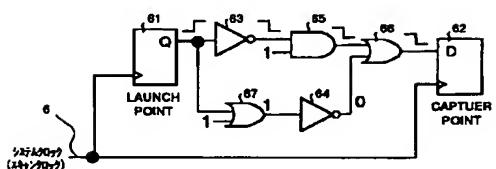
【図6】



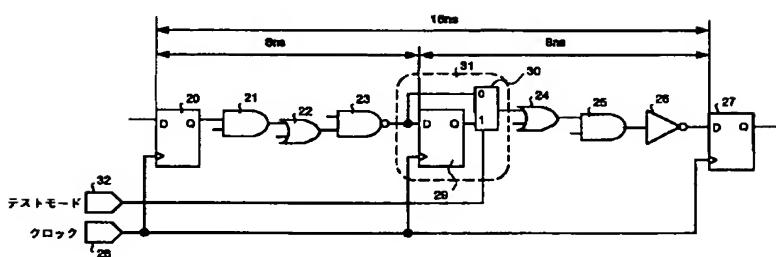
【図10】



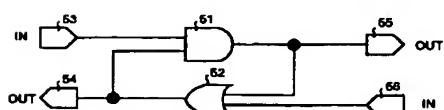
【図14】



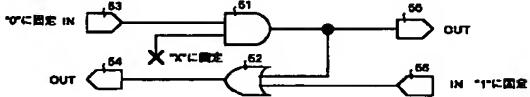
【図8】



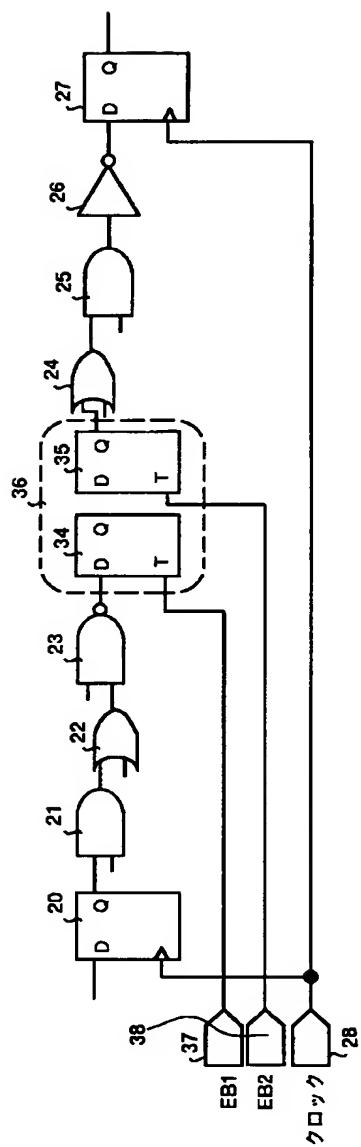
【図12】



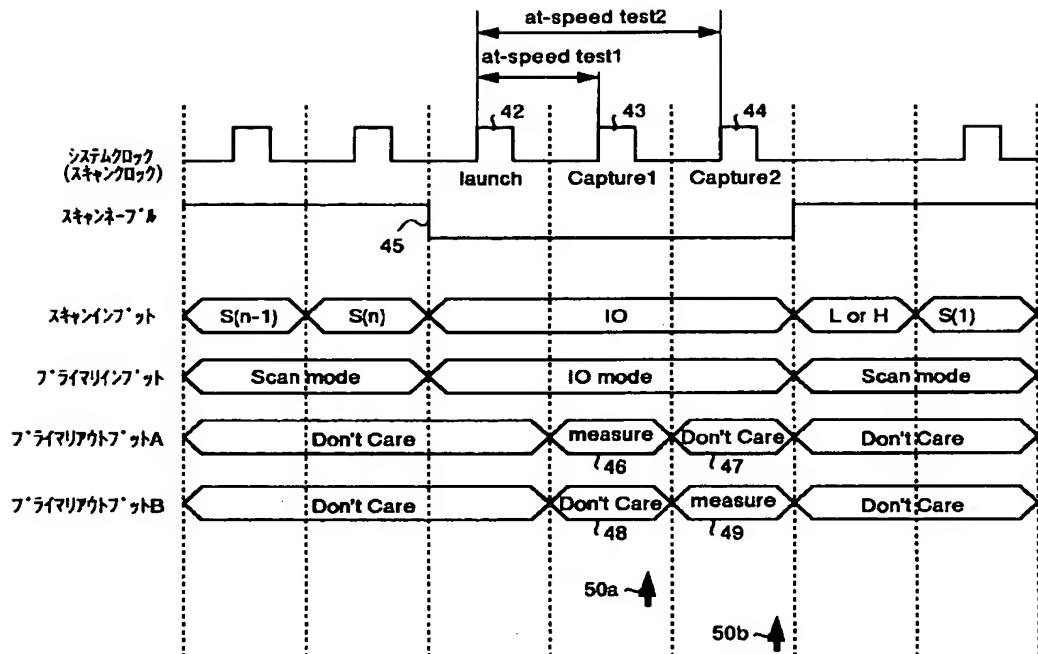
【図13】



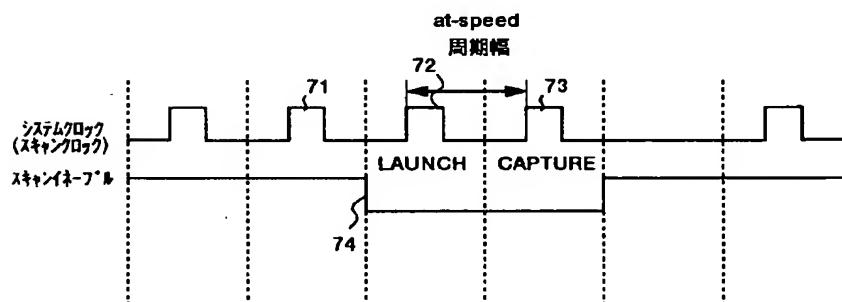
【図9】



【図11】



【図15】



フロントページの続き

(51) Int.Cl.7

識別記号

F I
G 0 6 F 15/60
H 0 1 L 21/82

マーク (参考)
6 7 0 D
T